

ΣΧΟΛΗ ΝΑΥΤΙΚΩΝ ΔΟΚΙΜΩΝ

ΗΛΕΚΤΡΟΝΙΚΗ ΙΙ Συνδυαστικά Ψηφιακά Κυκλώματα

Διδάσκοντες:

Α. Τσιγκόπουλος, Καθηγητής
Α. Στασινάκης, Επικουρος Καθηγητής



Ακαδημαϊκό Έτος: 2025 - 2026

Τάξη: Γ' Δοκίμων (Μάχιμοι/Μηχανικοί)

1 Ημιαθροιστής (Half Adder)

Ο **ημιαθροιστής** είναι ένα βασικό συνδυαστικό λογικό κύκλωμα που χρησιμοποιείται για την πρόσθεση δύο δυαδικών ψηφίων (bits), A και B . Το κύκλωμα αυτό παράγει δύο εξόδους: το **άθροισμα** S , και το **κρατούμενο** C , το οποίο μεταφέρεται στην επόμενη βαθμίδα πρόσθεσης όταν η πρόσθεση των δύο bits υπερβαίνει τη δυαδική τιμή 1.

Η λειτουργία του βασίζεται στους κανόνες της δυαδικής αριθμητικής: όταν και οι δύο είσοδοι είναι 0, το αποτέλεσμα είναι 0 χωρίς κρατούμενο, ενώ όταν και οι δύο είναι 1, το άθροισμα γίνεται 0 και παράγεται κρατούμενο 1. Σε κάθε άλλη περίπτωση, το άθροισμα είναι 1 και δεν υπάρχει κρατούμενο. Ο ημιαθροιστής αποτελεί το θεμελιώδες δομικό στοιχείο για την κατασκευή πιο σύνθετων κυκλωμάτων πρόσθεσης, όπως ο πλήρης αθροιστής.

Ο πίνακας αληθείας του ημιαθροιστή είναι ο εξής:

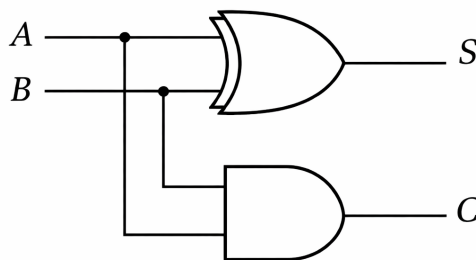
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Οι λογικές συναρτήσεις που προκύπτουν είναι οι εξής:

$$S = A \oplus B$$

$$C = A \cdot B$$

Το λογικό διάγραμμα του ημιαθροιστή είναι το εξής:



Σχήμα 1: Λογικό Διάγραμμα Ημιαθροιστή

2 Πλήρης Αθροιστής (Full Adder)

Ορισμός

Ο **πλήρης αθροιστής** είναι ένα συνδυαστικό λογικό κύκλωμα που χρησιμοποιείται για την πρόσθεση τριών δυαδικών ψηφίων: των δύο βασικών bits A και B , καθώς και ενός επιπλέον

bit κρατούμενου εισόδου C_{in} , το οποίο προέρχεται από προηγούμενη βαθμίδα πρόσθεσης. Σε αντίθεση με τον ημιαθροιστή, ο πλήρης αθροιστής είναι ικανός να ενσωματώσει το κρατούμενο αυτό, γεγονός που τον καθιστά απαραίτητο για την υλοποίηση πολυψήφιων δυαδικών αθροίσεων.

Το κύκλωμα παράγει δύο εξόδους: το **άθροισμα** S , που αντιστοιχεί στο λιγότερο σημαντικό bit του αποτελέσματος, και το **κρατούμενο εξόδου** C_{out} , το οποίο μεταφέρεται στην επόμενη βαθμίδα. Η λειτουργία του βασίζεται στους κανόνες της δυαδικής αριθμητικής, όπου το άθροισμα των τριών bits μπορεί να οδηγήσει σε αποτέλεσμα μεγαλύτερο της μονάδας, απαιτώντας έτσι τη δημιουργία κρατούμενου.

Ο πλήρης αθροιστής αποτελεί βασικό δομικό στοιχείο για την κατασκευή πιο σύνθετων αριθμητικών κυκλωμάτων, όπως οι αθροιστές πολλαπλών bits (ripple carry adders), όπου πολλοί πλήρεις αθροιστές συνδέονται διαδοχικά ώστε να πραγματοποιούν πρόσθεση δυαδικών αριθμών οποιουδήποτε μήκους.

Ο πίνακας αληθείας είναι ο εξής:

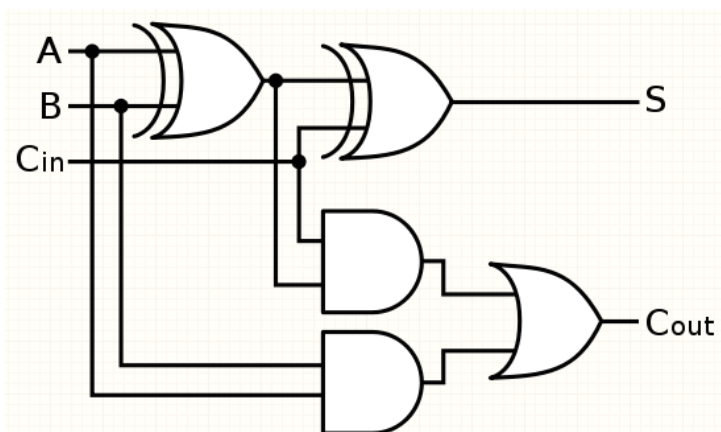
A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Οι λογικές συναρτήσεις είναι οι εξής:

$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = (A \cdot B) + (C_{in} \cdot (A \oplus B))$$

Το λογικό διάγραμμα βάσει των παραπάνω συναρτήσεων είναι το εξής:



Σχήμα 2: Λογικό Διάγραμμα Πλήρους Αθροιστή

Ένας πλήρης αθροιστής μπορεί να υλοποιηθεί με:

- δύο ημιαθροιστές

- μία πύλη OR

Βήματα:

1. Πρώτος ημιαθροιστής: υπολογίζει $A + B$
2. Δεύτερος ημιαθροιστής: υπολογίζει $(A \oplus B) + C_{in}$
3. Τα κρατούμενα συνδυάζονται με πύλη OR

3 Ημιαφαιρέτης (Half Subtractor)

Ο **ημιαφαιρέτης** είναι ένα συνδυαστικό λογικό κύκλωμα που εκτελεί την αφαίρεση δύο δυαδικών ψηφίων. Στην πράξη, δέχεται ως εισόδους τον μειωτέο A και τον αφαιρετέο B , και παράγει δύο εξόδους: τη διαφορά D και το δανεικό B_{out} . Η έξοδος της διαφοράς εκφράζει το αποτέλεσμα της πράξης $A - B$, ενώ το δανεικό δείχνει αν απαιτείται δανεισμός από ανώτερη βαθμίδα, κάτι που συμβαίνει όταν το A είναι μικρότερο από το B .

3.1 Πίνακας Αληθείας

Ο πίνακας αληθείας είναι ο εξής:

A	B	D	B_{out}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Από τον πίνακα αληθείας προκύπτουν οι εξής εξισώσεις:

- Διαφορά:

$$D = A \oplus B$$

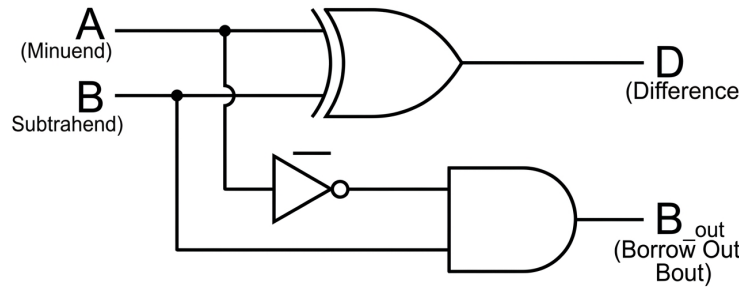
- Δανεικό:

$$B_{out} = \bar{A} \cdot B$$

- Η διαφορά D προκύπτει με πύλη XOR, όπως και στον ημιαθροιστή.
- Το δανεικό B_{out} είναι 1 μόνο όταν $A = 0$ και $B = 1$, δηλαδή όταν απαιτείται δανεισμός.

Ο ημιαφαιρέτης μπορεί να υλοποιηθεί χρησιμοποιώντας:

- Μία πύλη XOR για τη διαφορά
- Μία πύλη AND με αναστροφή στο A για το δανεικό



Σχήμα 3: Λογικό διάγραμμα Ημιαφαιρέτη

4 Πλήρης Αφαιρέτης (Full Subtractor)

Ο **πλήρης αφαιρέτης** είναι ένα συνδυαστικό λογικό κύκλωμα που εκτελεί την αφαίρεση δύο δυαδικών ψηφίων λαμβάνοντας υπόψη και ένα εισερχόμενο δανεικό.

Έστω:

- A : μειωτέος (minuend)
- B : αφαιρετέος (subtrahend)
- B_{in} : εισερχόμενο δανεικό (Borrow in)

Ο πλήρης αφαιρέτης παράγει δύο εξόδους:

- D : διαφορά (Difference)
- B_{out} : εξερχόμενο δανεικό (Borrow out)

Πίνακας Αληθείας

A	B	B_{in}	D	B_{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Λογικές Συναρτήσεις

Από τον πίνακα αληθείας προκύπτουν οι εξής εξισώσεις:

- Διαφορά:

$$D = A \oplus B \oplus B_{in}$$

- Δανεικό:

$$B_{out} = \bar{A} \cdot B + \bar{A} \cdot B_{in} + B \cdot B_{in}$$

Περιγραφή Λειτουργίας

- Η διαφορά D υπολογίζεται με διαδοχικές πράξεις XOR μεταξύ των εισόδων.
- Το δανεικό B_{out} γίνεται 1 όταν απαιτείται δανεισμός, δηλαδή όταν ο μειωτέος δεν επαρκεί για την αφαίρεση του B και του B_{in} .

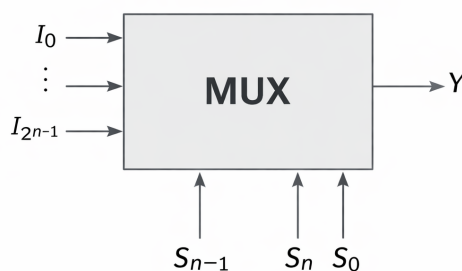
Υλοποίηση με Λογικές Πύλες

Ο πλήρης αφαιρέτης μπορεί να υλοποιηθεί:

- είτε απευθείας από τις παραπάνω λογικές συναρτήσεις
- είτε με συνδυασμό δύο ημιαφαιρετών και μίας πύλης OR για το τελικό δανεικό

5 Πολυπλέκτης - Multiplexer MUX

Ο πολυπλέκτης (Multiplexer ή MUX) είναι ένα συνδυαστικό λογικό κύκλωμα που χρησιμοποιείται για την επιλογή και προώθηση ενός σήματος από ένα σύνολο πολλαπλών εισόδων σε μία και μοναδική έξοδο. Η βασική λειτουργία του μπορεί να παρομοιαστεί με έναν «διακόπτη», ο οποίος κατευθύνει μία από τις διαθέσιμες εισόδους προς την έξοδο, ανάλογα με την τιμή των σημάτων ελέγχου. Τα σήματα αυτά ονομάζονται γραμμές επιλογής (select lines) και καθορίζουν ποια είσοδος θα εμφανιστεί στην έξοδο. Συγκεκριμένα, σε έναν πολυπλέκτη με 2^n εισόδους απαιτούνται n γραμμές επιλογής, ώστε να είναι δυνατή η μοναδική αντιστοίχιση κάθε συνδυασμού τιμών των γραμμών επιλογής σε μία συγκεκριμένη είσοδο. Με αυτόν τον τρόπο, κάθε φορά ενεργοποιείται μόνο μία είσοδος, ενώ όλες οι υπόλοιπες αγνοούνται, επιτρέποντας την αποδοτική δρομολόγηση δεδομένων μέσα σε ψηφιακά συστήματα.



Σχήμα 4: Πολυπλέκτης 2^n -σε-1 με n γραμμές επιλογής

Παράδειγμα: Πολυπλέκτης 2-σε-1

Ο πολυπλέκτης 2-σε-1 αποτελεί την απλούστερη μορφή πολυπλέκτη και διαθέτει δύο εισόδους δεδομένων (I_0, I_1), μία γραμμή επιλογής (S) και μία έξοδο (Y). Η λειτουργία του βασίζεται στην τιμή της γραμμής επιλογής, η οποία καθορίζει ποια από τις δύο εισόδους θα προωθηθεί στην έξοδο.

Συγκεκριμένα, όταν η γραμμή επιλογής S έχει τιμή 0, στην έξοδο εμφανίζεται η είσοδος I_0 , ενώ όταν η τιμή της είναι 1, στην έξοδο εμφανίζεται η είσοδος I_1 . Με τον τρόπο αυτό, ο

πολυπλέκτης λειτουργεί ως ένας ελεγχόμενος διακόπτης, που επιλέγει δυναμικά ποιο σήμα θα μεταδοθεί.

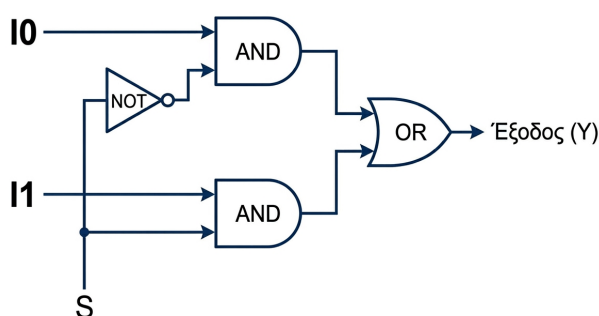
S	Y
0	I_0
1	I_1

Η λογική λειτουργία του κυκλώματος μπορεί να περιγραφεί από τη σχέση:

$$Y = \bar{S} \cdot I_0 + S \cdot I_1$$

Η παραπάνω εξίσωση δείχνει ότι κάθε είσοδος συνδυάζεται με την κατάλληλη μορφή της γραμμής επιλογής (κανονική ή συμπληρωματική), ώστε μόνο μία από τις δύο να συμβάλλει τελικά στην έξοδο.

ΛΟΓΙΚΟ ΔΙΑΓΡΑΜΜΑ MULTIPLEXER 2x1



Σχήμα 5: Πολυπλέκτης 2x1

Παράδειγμα: Πολυπλέκτης 4-σε-1

Ο πολυπλέκτης 4-σε-1 αποτελεί μια πιο σύνθετη μορφή πολυπλέκτη και διαθέτει τέσσερις εισόδους δεδομένων (I_0, I_1, I_2, I_3), δύο γραμμές επιλογής (S_1, S_0) και μία έξοδο (Y). Η λειτουργία του βασίζεται στις τιμές των γραμμών επιλογής, οι οποίες καθορίζουν ποια από τις τέσσερις εισόδους θα προωθηθεί στην έξοδο.

Κάθε δυνατός συνδυασμός των τιμών των S_1 και S_0 αντιστοιχεί σε μία συγκεκριμένη είσοδο. Συγκεκριμένα, όταν $S_1 S_0 = 00$ επιλέγεται η είσοδος I_0 , όταν $S_1 S_0 = 01$ επιλέγεται η I_1 , όταν $S_1 S_0 = 10$ επιλέγεται η I_2 , ενώ όταν $S_1 S_0 = 11$ επιλέγεται η I_3 .

S_1	S_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

Με τον τρόπο αυτό, ο πολυπλέκτης λειτουργεί ως ένας ελεγχόμενος διακόπτης πολλαπλών εισόδων, επιτρέποντας την επιλογή ενός από περισσότερα σήματα.

Η λογική λειτουργία του κυκλώματος μπορεί να περιγραφεί από τη σχέση:

$$Y = \bar{S}_1 \bar{S}_0 I_0 + \bar{S}_1 S_0 I_1 + S_1 \bar{S}_0 I_2 + S_1 S_0 I_3$$

Η εξίσωση αυτή δείχνει ότι κάθε είσοδος ενεργοποιείται μόνο για έναν συγκεκριμένο συνδυασμό των γραμμών επιλογής, μέσω της κατάλληλης χρήσης κανονικών και συμπληρωματικών μορφών των σημάτων επιλογής.

6 Αποκωδικοποιητής - Decoder

Ο αποκωδικοποιητής (Decoder) είναι ένα συνδυαστικό λογικό κύκλωμα το οποίο δέχεται ως είσοδο έναν δυαδικό αριθμό n bits και ενεργοποιεί μία μόνο από τις 2^n εξόδους του, ανάλογα με την τιμή των εισόδων.

Με άλλα λόγια, ο decoder «μεταφράζει» (decode) τον δυαδικό κώδικα εισόδου σε μία μοναδική ενεργή έξοδο. Κάθε έξοδος αντιστοιχεί σε έναν συγκεκριμένο συνδυασμό των εισόδων.

Οι αποκωδικοποιητές χρησιμοποιούνται ευρέως σε:

- Συστήματα μνήμης (επιλογή θέσης μνήμης)
- Κυκλώματα επιλογής (chip select)
- Ψηφιακά συστήματα ελέγχου

Αποκωδικοποιητής 2 σε 4 (2-to-4 Decoder)

Ένας αποκωδικοποιητής 2 σε 4 έχει:

- 2 εισόδους: A, B
- 4 εξόδους: Y_0, Y_1, Y_2, Y_3

Για κάθε συνδυασμό των εισόδων, ενεργοποιείται μόνο μία έξοδος (λογικό 1), ενώ οι υπόλοιπες παραμένουν στο 0.

Πίνακας Αληθείας

A	B	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Λογικές Συναρτήσεις

Κάθε έξοδος μπορεί να εκφραστεί ως συνάρτηση των εισόδων:

$$Y_0 = \bar{A} \cdot \bar{B}$$

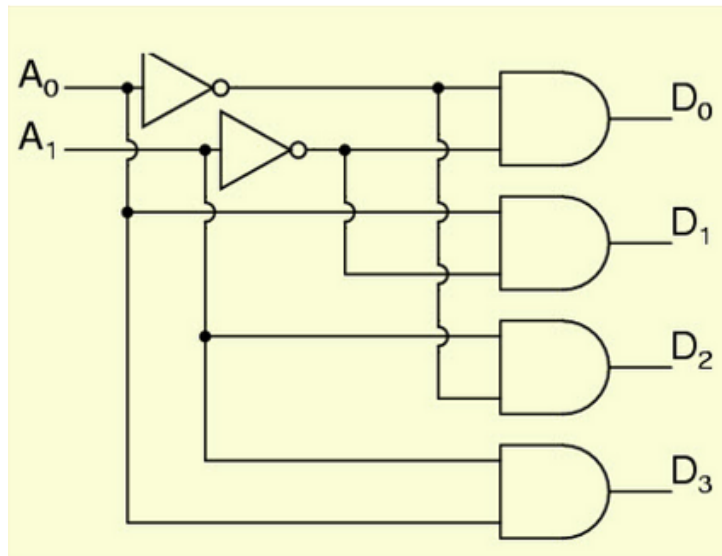
$$Y_1 = \bar{A} \cdot B$$

$$Y_2 = A \cdot \bar{B}$$

$$Y_3 = A \cdot B$$

Παρατηρούμε ότι κάθε έξοδος αντιστοιχεί σε ένα γινόμενο (AND) όλων των εισόδων ή των συμπληρωμάτων τους.

Το λογικό διάγραμμα του αποκωδικοποιητή έχει την εξής μορφή:



Σχήμα 6: Λογικό διάγραμμα αποκωδικοποιητή